

## HYBRID INTEGRATED CIRCUIT CONNECTOR

Patent Number: JP4117702

Publication date: 1992-04-17

Inventor(s): SHIBATA YORIMICHI; others: 03

Applicant(s): NIPPON TELEGR & TELEPH CORP

Requested Patent: JP4117702

Application Number: JP19900232917 19900903

Priority Number(s):

IPC Classification: H01P5/02; H01L23/538; H01P3/08; H01P5/08; H05K1/14; H05K3/36

EC Classification:

Equivalents:

---

### Abstract

---

**PURPOSE:** To attain an excellent electric connection characteristic at a high frequency over a wide band by dividing an inductive component attended to a bonding wire into two and inserting a new capacitor between them.

**CONSTITUTION:** Substrates 7, 8 are substrates on which a coplaner line is formed and bonding wires interconnecting signal wire of the two substrates are divided into two bonding wires 9,10. Moreover, a capacitor 11 inserted newly is formed by forming a dielectric thin film on a ground metal on the substrate 8 and providing a metallic electrode on the film further. Thus, the connection characteristic much improved in the electric connection at a high frequency over a broad band signal is realized.

---

Data supplied from the **esp@cenet** database - I2

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A) 平4-117702

⑬ Int. Cl.  
 H 01 P 5/02  
 H 01 L 23/538

識別記号 A  
 行内整理番号 7741-5 J

⑭ 公開 平成4年(1992)4月17日  
 6918-4M H 01 L 23/52 A※  
 審査請求 未請求 請求項の数 5 (全8頁)

⑮ 発明の名称 ハイブリッド集積回路接続装置

⑯ 特願 平2-232917  
 ⑰ 出願 平2(1990)9月3日

⑱ 発明者 柴田 随道 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
 ⑲ 発明者 藤田 修一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
 ⑳ 発明者 赤沢 幸雄 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
 ㉑ 発明者 石塚 文則 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
 ㉒ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号  
 ㉓ 代理人 弁理士 田中 正治

最終頁に続く

明細書

1. 発明の名称 ハイブリッド集積回路接続装置

2. 特許請求の範囲

【請求項1】

2種類の基板もしくは同一基板上の第1及び第2のノード面をポンディングワイヤにより電気的に接続するハイブリッド集積回路接続装置において、

一端を上記第1及び第2のノードに第1及び第2のポンディングワイヤにより接続し、他端を電気的に接地している容量を有することを特徴とするハイブリッド集積回路接続装置。

【請求項2】

【請求項1】記載のハイブリッド集積回路接続装置において、

上記容量が上記基板と一体形成されていることを特徴とするハイブリッド集積回路接続装置。

【請求項3】

【請求項1】記載のハイブリッド集積回路接

続装置において、上記基板上にマイクロストリップ線路が形成され、

上記マイクロストリップ線路の形成された基板の裏面の接地面を表面に引き出すためのグランドポストを有し、

その表面上に誘電体膜を形成し、その上に電極を設けることにより、上記容量がグランドポストと一体形成されていることを特徴とするハイブリッド集積回路接続装置。

【請求項4】

少なくとも一方がマイクロストリップ線路の形成された基板である場合の2種類の基板のポンディングワイヤによる電気的接続に用いる、マイクロストリップ線路の形成された基板が面を揃えて埋め込まれるように、金属プロックが基板の厚みだけくりぬかれ、

それによって上記マイクロストリップ線路の形成された上記基板のグランド面が、線路端面で、上記基板の表面に引き出されるようにしたマイクロストリップ線路の形成された基板の金

属ブロックサブキャリアを用いることを特徴とするハイブリッド集積回路接続装置。

## 【請求項5】

【請求項4】記載のハイブリッド集積回路接続装置において、

サブキャリアの、マイクロストリップ線路の形成された基板のグランド面が線路端面で基板の表面に引き出されるようにした部分の表面もしくは側面に、誘電体膜を形成し、その上に電極を設けることによって容量を形成した、容量がサブキャリアと一体化されていることを特徴とするハイブリッド集積回路接続装置。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は、同種、もしくは異種構造線路の形成された基板間、ないしは同一基板内のノード間の良好な高周波、広帯域伝送特性を得るために電気的接続技術、特に高周波、広帯域集積回路の実装、信号線引き出し、パッケージング技術、及び高周波、広帯域ハイブリッド回路の実

クロストリップ線路の基板裏面にある線路グランド面を上面に引き出す必要があり、そのスペースが必要である。例えば、2種類の基板の間を開けてそこにグランドポストを立てる方法などが存在したが、そのような配置でポンディングワイヤの長さを短くするのは困難であった。

## 【本発明の目的】

本発明は、上記のポンディングワイヤによる各種基板間回路の電気的接続を前提とし、ポンディングワイヤの長さの縮小化の観点を認識した上で、さらに高周波、広帯域での良好な電気的接続特性を得ることを目的として考案された接続構造とこれを実現するための部品構造である。

## 【発明の特徴と従来の技術との差異】

本発明の主要な特徴は、第1図に示す従来の接続構造と本発明の接続構造の等価回路図の比較からわかるように、ポンディングワイヤに附随するインダクタンス成分を2分し、その間に新たに容量を挿入するところにある。

該技術に関するものである。

## 【従来の技術】

各種基板間の回路の電気的接続には、現在、ポンディングワイヤによる接続が最も一般的に用いられている。

こうしたポンディングワイヤによる接続を行った場合、ポンディングワイヤの有する比較的大きなインダクタンス成分のために、線路間のインピーダンス整合を十分に取ることができず、高周波、広帯域での良好な電気的接続特性を得ることが困難であった。

高周波、広帯域での電気的接続特性を改善する抜本的な手段は、接続する2つの基板をできる限り近接させて配置し、接続に用いるポンディングワイヤの長さを極力短くし、そのインダクタンス成分を小さくすることであったが、これには配置、位置決め精度や構造上の問題から限りが存在した。

特に、少なくとも一方の基板がマイクロストリップ線路の形成された基板である場合、マイ

後に示す実施例により具体的に明らかになるように、多くの場合このような構造を工夫することにより、1本当たりのポンディングワイヤの長さを縮小し、これにまつわるインダクタンス成分を減少させることができ、さらに最も重要な点として信号線間に挿入するインダクタンスの中間に容量が挿入されることにより、高周波、広帯域での電気的接続特性の大幅な改善を可能とする特徴を有するものである。

挿入される容量は誘電体薄膜により構成されるため、許される微小な領域でポンディングワイヤインダクタンスの影響を抑圧するに十分な容量値を実現することが可能である。

## 【実施例】

第2図は、本発明の第1の実施例であって、基板7と基板8の間の接続構造を示している。ここで、基板7及び基板8はコブレーナ線路の形成された基板の場合であり、各々、集積回路チップであったり、チップを実装する基板であったり、ハイブリッド回路にしばしば用いられ

るアルミナ基板であったりする。

この実施例では、【請求項1】及び【請求項2】に記述した接続構造が採用されている。

すなわち、本実施例は従来のポンディングワイヤのみから成る接続構造に比べて、図中11の容量が新たに挿入され、従来1本であった2つの基板の信号線どうしを接続するポンディングワイヤが、図中9及び10の2本のポンディングワイヤに分割されている点が異なり、さらに、挿入する容量が基板上に作り付けられているという特徴を持っている。

図では新たに挿入された容量11は基板8上のグランドメタルの上に誘電体薄膜を形成し、さらにその上にメタル電極を設けることにより形成されている。

この容量の効果を定量的に説明するために、まずポンディングワイヤのインダクタンスの考察が必要である。ポンディングワイヤに附随するインダクタンス成分 $L$ (H)は次式により見積ることができる。

ここで挿入損失とは理想的な接続ではマイナス無限大デシベルとなるもので、この値が零に近付くほど接続特性が劣化したことになる。

この場合の劣化は明らかにインダクタンス $L_B$ による線路間のインピーダンス不整合に起因しているもので、挿入損失-20dBとは電圧振幅にして10%もの反射が接続部で生じることにあたる。

これに対して、第3図のグラフ中に③で示す曲線は、本発明の実施例、第2図の構造を採った場合の挿入損失の計算結果である。

ここで2つの基板をまたぐポンディングワイヤ(第2図の9)の長さは、従来のポンディングワイヤのみから成る接続の場合と同一とし、そのインダクタンス $L_B = 0.6 \text{ nH}$ とした。新たに挿入した容量の値は $C_B = 480 \text{ fF}$ 、基板8上で容量と信号線を接続するポンディングワイヤ(第2図の10)のインダクタンスも $L_B = 0.16 \text{ nH}$ とした。これより、本発明の実施例の場合、信号周波数2.5GHzでの挿

$$L = \mu_0 \cdot 1/2\pi \cdot (\log 2l/r - 3/4)$$

ただし、 $l$ はポンディングワイヤの長さ、 $r$ はポンディングワイヤの径で25μm程度である。

2つの基板をまたぐポンディングワイヤの長さは、ポンディングワイヤを打つためのパッドサイズが通常0.1mm程度は必要であることを考え合せて第2図の配置を見れば推測されるように、最低0.6~0.8mmに達するのは普通であり、場合によっては1mmを超えるを得ないこともある。

この時のインダクタンスは上式から0.4~0.7nHと見積もられる。

第3図のグラフ中に①で示す曲線は、ポンディングワイヤに附随するインダクタンス $L_B = 0.6 \text{ nH}$ を考慮して計算した従来のポンディングワイヤのみから成る接続の挿入損失の周波数特性である。これより、例えば信号周波数2.5GHzでの挿入損失は-20dBにもなることがわかる。

入損失は-40dB未満であることがわかる。

これは電圧振幅にして接続部での反射が1%未満であることになり、従来のポンディングワイヤのみから成る接続に比べて10倍以上の大幅な改善効果があることが理解される。

ポンディングワイヤの中間に作り付けた容量の容量値 $C_B = 480 \text{ fF}$ はポンディングワイヤのインダクタンス成分のインダクタンス値 $L = (0.6 + 0.6) \text{ nH}$ から次式を用いて最適になるように求めた。

$$\sqrt{L/C} = Z_0 = 50 \Omega$$

この容量値 $C_B = 480 \text{ fF}$ は、本実施例のように、誘電体薄膜からなる容量を利用することによって製作可能である。

今、典型的な値として誘電体薄膜の厚さを2.5μm、その誘電率を6とすると容量値 $C = 480 \text{ fF}$ を得るための面積は、 $150 \times 150 \mu\text{m}^2$ となり、第2図の基板8の表面に十分製作可能な寸法となる。

第3図のグラフ中に②で示す曲線は、【請求

項1]の記述の特殊な場合として、基板2上で容量と信号線を接続するポンディングワイヤ(第2図の10)の長さを短くした場合、もしもはこれを基板2上の配線メタルで代用した場合を想定し、このインダクタンス $L_B = 0$ とした時の挿入損失を示している。

この場合でもグラフ中④で示す曲線と同様、従来のポンディングワイヤのみから成る接続に比べて大幅な改善効果がある。

第4図は、本稿に示す本発明の第2の実施例であって、2種類の基板間の接続構造を示している。

ここで、図中、基板12は第1の実施例と同様、コプレーナ線路の形成された基板であり、基板13がマイクロストリップ線路の形成された基板である点が第1の実施例と異なっている。

マイクロストリップ線路の形成された基板の裏面にある電気的なグランドにポンディングワイヤを接続するために、ここではグランドポスト15が2つの基板の間に立てられている。

伝導量 $S_{21}$ と挿入損失 $S_{11}$ の周波数特性を示したものである。

この図からわかるように、例えば信号帯域として5GHzを想定すると5GHzにおいて-14dBもの挿入損失を生じるため、回路、システム構成上さわめて深刻な問題がしばしば生じる。

これに対し、本発明の実施例、第4図のように信号線を接続するポンディングワイヤが中間でグランドポストと一体化された容量16を経由したようにした場合、挿入損失を効果的に低減させることが可能である。

第5図Aは、中に作り付ける容量値を240fFとした時の接続に対する伝導量 $S_{21}$ と挿入損失 $S_{11}$ の周波数特性を示したものである。

これから信号帯域5GHzでの挿入損失-43dBとなり、本発明を利用しない第5図Bの場合に比べて約30dBの大幅な改善が得られたことがわかる。

従来は、2つの基板の信号線は、このグランドポストの幅分の距離をまたいだ1本のポンディングワイヤによって直接接続されていた。

典型的なグランドポストの寸法は、その配置など、取扱い上の問題から0.5mm角程度が最小であり、信号線を接続するポンディングワイヤの長さは1mm程度以下にするのは困難であると考えられた。

そこで、本実施例では【請求項3】に述べたグランドポストと一体化された容量16を用意し、これを用いて【請求項1】の接続構造を実現したものである。

この場合には、容量が挿入される効果のほかに、容量により分割されるポンディングワイヤの長さは、従来の約半分にできる効果が重要なことになる。

第5図は、この場合の従来構造と本実施例の接続特性の比較である。

第5図Bは従来の場合につきインダクタンス成分0.6nHを付加したときの接続に対する

別の見方をすると本発明を利用しない場合の信号帯域5GHzの挿入損失-14dBと同等の挿入損失となる周波数は本発明の実施例を適用すれば15GHzとなり、信号帯域で3倍の周波数特性を持つ接続を可能とすることが理解される。

第6図及び第7図は、本発明の第3及び第4の実施例であって、第6図は【請求項4】に記述したサブキャリアを用いたコプレーナ線路の形成された基板17とマイクロストリップ線路の形成された基板18の接続構造、第7図は【請求項5】に記述した容量を一体化したサブキャリアを用いて集積回路チップ21とマイクロストリップ線路の形成された基板22の間の【請求項1】の接続構造を実現した例である。

第6図のサブキャリアは、第4図のグランドポストにあたる部分が台座となる金属ブロックと一体となっているため、その配置など、取扱い上の問題に起因する寸法の制限がなくなり、幅をポンディングワイヤを打つのに十分な幅0.

1~0.15mmまで小さくできる点に大きな特徴を持っている。

これにより、2つの基板の信号線を接続するボンディングワイヤの長さを減少させることができ、接続特性を大幅に改善することができる。

さらに、第7図のように容量を一体化したサブキャリアを用いることによって、第2の実施例に見られた改善効果が重畠される。この容量はサブキャリアの側面、ないしはサブキャリアに埋め込む形で製作してもよいが、その場合、ボンディングワイヤが打たれるサブキャリア裏面からこの容量までのリードの長さを十分短くすることが、良好な周波数特性を得る上で肝要である。

#### 【本発明の効果】

以上、実施例を通して明らかとしたように、本発明によれば、高周波、広帯域信号の電気的接続を行う上で、従来に比べて大幅に改善された接続特性を得ることができる。

れた基板とコブレーナ線路の形成された基板の接続の実施例である。

第5図は、第4図に示した本発明の実施例の効果を示す接続部の伝搬量S21と挿入損失S11の周波数特性であり、図中(A)が本発明の実施例の場合、図中(B)が従来の場合である。

第6図は、本発明に基く(【請求項1】、【請求項4】)、マイクロストリップ線路の形成された基板とコブレーナ線路の形成された基板の接続の実施例である。

第7図は、本発明に基く(【請求項1】、【請求項5】)、マイクロストリップ線路の形成された基板から一般にコブレーナ構造を採るGaAsなどの集積回路チップへ高周波、広帯域な信号を入出力するための接続方法実施例を示す図である。

2、7、8、12

………基板

9、10……ボンディングワイヤ

本発明は、現在、工業的に広く普及しているボンディングワイヤによる接続を前提として、その改善を図ったものであるため、工業的に技術の適用が可能であり、高周波、広帯域集積回路の実装、信号線引き出し、パッケージング、及び高周波、広帯域ハイブリッド回路の実装など、きわめて広範囲な技術分野に与える効果は多大である。

#### 4. 図面の簡単な説明

第1図は、従来の接続構造と本発明の接続構造の等価回路図の比較である。

第2図は、本発明に基く(【請求項1】、【請求項2】)、コブレーナ線路の形成された基板同士の接続の実施例である。

第3図は、第2図に示した本発明の実施例の効果を示す接続部の挿入損失S11の周波数特性であり、①が従来の場合、③及び②が本発明の実施例の場合である。

第4図は本発明に基く(【請求項1】、【請求項3】)、マイクロストリップ線路の形成さ

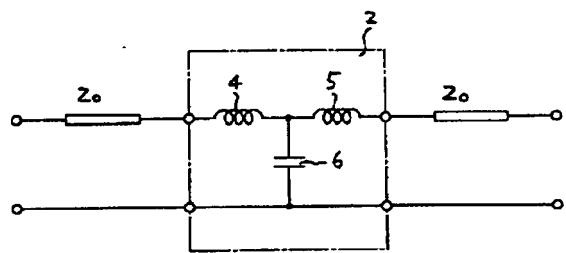
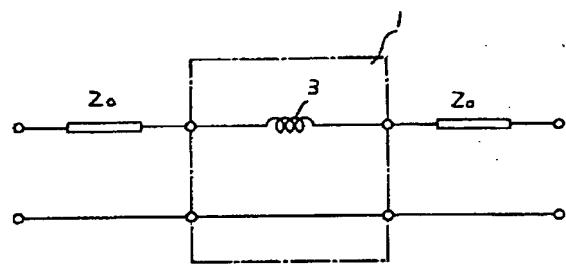
11………容量

15………グランドポスト

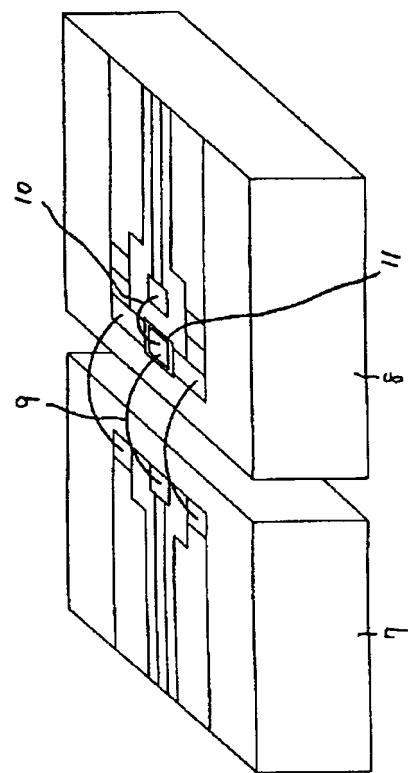
出願人 日本電信電話株式会社

代理人 弁理士 田中正治

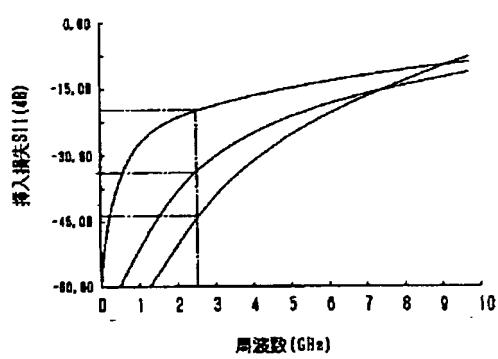
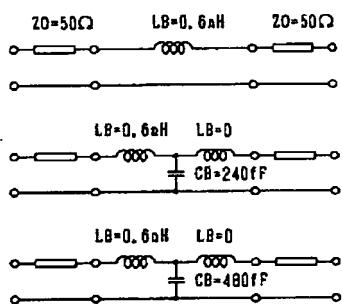
第 1 図



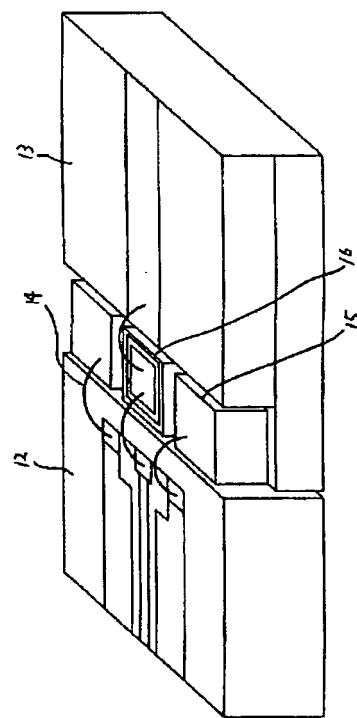
第 2 図



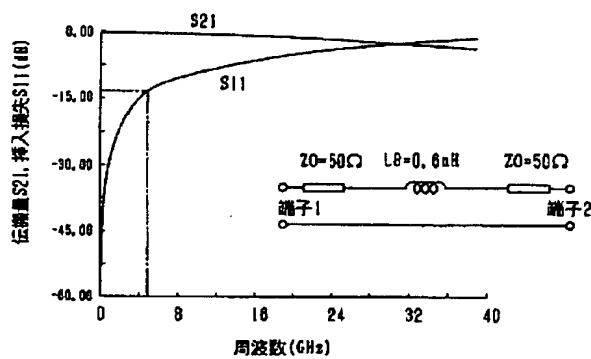
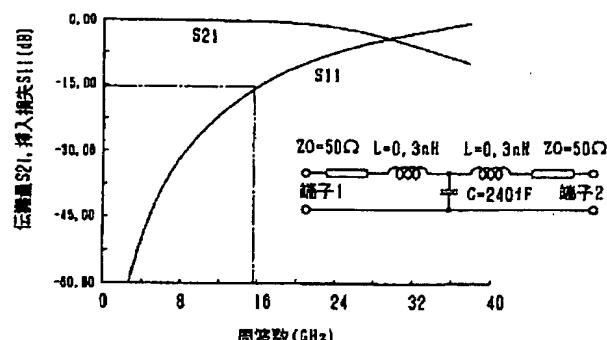
第 3 図



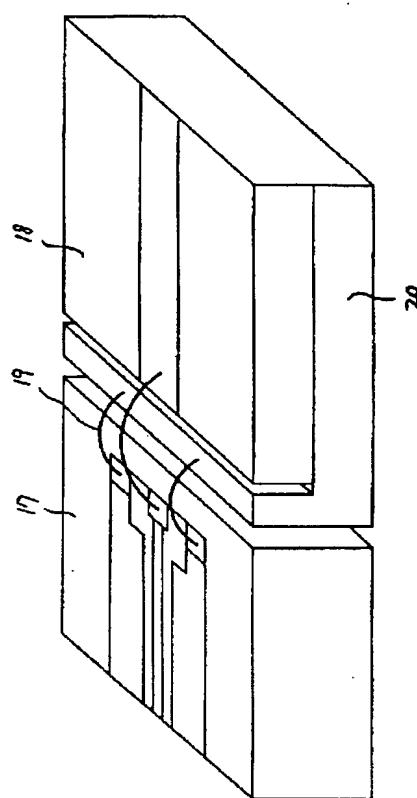
第 4 図



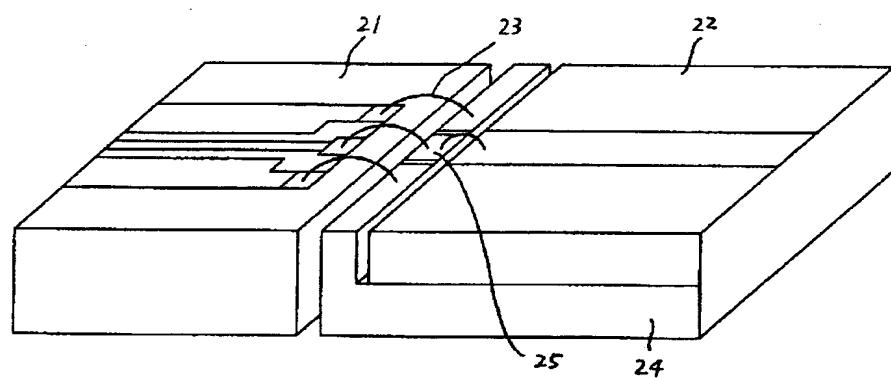
第 5 図



第 6 図



第 7 図



第1頁の続き

⑤Int. Cl. 5

H 01 P 3/08  
5/08  
H 05 K 1/14  
3/36

識別記号

庁内整理番号

L 7741-5J  
E 7741-5J  
Z 8727-4E  
Z 6736-4E